

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Satoru KAMANO et al.

Serial No.: New Appln

Group Art Unit: Unassigned

Filed: December 4, 2003

Examiner: Unassigned

For: ANCILLARY EQUIPMENT FOR TESTING SEMICONDUCTOR  
INTEGRATED CIRCUIT

CLAIM FOR PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2003-172698 filed June 18, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.



Roger W. Parkhurst  
Registration No. 25,177

December 4, 2003

Date

RWP/klb

Attorney Docket No. YMOR:300  
PARKHURST & WENDEL, L.L.P.  
1421 Prince Street, Suite 210  
Alexandria, Virginia 22314-2805  
Telephone: (703) 739-0220

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   6 月 1 8 日  
Date of Application:

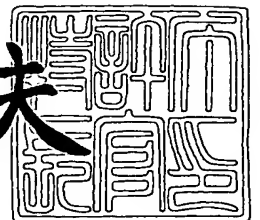
出 願 番 号            特 願 2 0 0 3 - 1 7 2 6 9 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 7 2 6 9 8 ]

出      願      人            松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 1 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 9 4 8 1 0

【書類名】 特許願

【整理番号】 5037540176

【提出日】 平成15年 6月18日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 鎌野 智

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 金光 朋彦

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100113859

【弁理士】

【氏名又は名称】 板垣 孝夫

【電話番号】 06-6532-4025

【選任した代理人】

【識別番号】 100068087

【弁理士】

【氏名又は名称】 森本 義弘

【電話番号】 06-6532-4025

【手数料の表示】

【予納台帳番号】 200105

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の試験装置

【特許請求の範囲】

【請求項 1】 半導体集積回路からなる被測定デバイスに対して信号のやりとりを行う測定部と、プログラマブルなデバイスを用いて前記測定部からの情報を解析する解析部とで構成されるデバイス測定装置と、

前記デバイス測定装置とは別ボードで構成され、前記デバイス測定装置と接続されて前記デバイス測定装置を制御し、かつ汎用コンピュータ装置と通信を行う制御・通信カードとを備えたことを特徴とする半導体集積回路の試験装置。

【請求項 2】 制御・通信カードは、デバイス測定装置からのデータの取り込みを行うデータ入力部と、前記デバイス測定装置へ制御信号を与える制御信号出力部と、汎用コンピュータ装置と信号のやり取りを行うインターフェイス部とを有していることを特徴とする請求項 1 記載の半導体集積回路の試験装置。

【請求項 3】 デバイス測定装置はプログラム書き込み口を有し、汎用コンピュータ装置からデバイス測定装置のプログラマブルなデバイスにプログラムを書き込み可能に構成したことを特徴とする請求項 1 または 2 に記載の半導体集積回路の試験装置。

【請求項 4】 デバイス測定装置の入出力信号および内部信号を観測する観測用端子を、前記デバイス測定装置もしくは制御・通信カードに備えたことを特徴とする請求項 1 ～ 3 の何れかに記載の半導体集積回路の試験装置。

【請求項 5】 デバイス測定装置に、被測定デバイス装着用のソケットが搭載された基板とケーブルを介して接続するためのコネクタと、前記基板に直接差し込むためのコネクタとが設けられていることを特徴とする請求項 1 ～ 4 の何れかに記載の半導体集積回路の試験装置。

【請求項 6】 デバイス測定装置は、被測定デバイスに設けられた複数の回路からの信号を入力する複数の入力端子と、これら複数の入力端子からの複数の入力信号を選択して切り換えて処理する入力信号選択手段とを備えたことを特徴とする請求項 1 ～ 5 の何れかに記載の半導体集積回路の試験装置。

【請求項 7】 制御・通信カードは、デバイス測定装置にこのデバイス測定

装置を診断する診断用信号を与えるとともに前記デバイス測定装置からの診断結果データを汎用コンピュータ装置に転送するデバイス測定装置診断手段を備えたことを特徴とする請求項 1 ～ 6 の何れかに記載の半導体集積回路の試験装置。

【請求項 8】 デバイス測定装置が複数個設けられ、1 つまたは複数のデバイス測定装置を用いて試験できるように構成されていることを特徴とする請求項 1 ～ 7 の何れかに記載の半導体集積回路の試験装置。

【請求項 9】 デバイス測定装置のプログラマブルなデバイスが F l a s h - R O M であることを特徴とする請求項 3 に記載の半導体集積回路の試験装置。

【請求項 1 0】 デバイス測定装置に、被測定デバイスを装着可能なソケットが搭載されていることを特徴とする請求項 1 ～ 9 の何れかに記載の半導体集積回路の試験装置。

#### 【発明の詳細な説明】

#### 【 0 0 0 1 】

#### 【発明の属する技術分野】

本発明は、システム L S I などの半導体集積回路を試験する半導体集積回路の試験装置に関する。

#### 【 0 0 0 2 】

#### 【従来の技術】

近年、複数の回路が混載されたシステム L S I の開発が急速に進んでおり、そのシステム L S I を試験するための様々な装置ならびに手法が提案されている。

#### 【 0 0 0 3 】

テスターメーカーからは、システム L S I の試験のために専用の半導体集積回路の試験装置であるミックスドシグナルテスターが提供されているが、この半導体集積回路の試験装置は価格が極めて高いという問題点がある。

#### 【 0 0 0 4 】

低価格化と高精度化とを目的に、特許文献 1 等では安価なテスターとアナログ回路部測定機能とを持ったデバイス測定装置（外部試験補助装置：B u i l t O f f S e l f T e s t（以下、B O S T 装置と称す））が提案されており、さらに、安価なテスターを用いる代わりに、汎用コンピュータ装置である汎用

PC（パーソナルコンピュータ）や汎用EWS（ワークステーション）と通信カード、通信形式変換モジュールを用い、BOST装置を制御して試験する手法も提案されている。

#### 【0005】

図2は、この種の従来の半導体集積回路の試験装置の構成、および試験方法を概略的に示す図である。この従来の半導体集積回路の試験装置では、BOST装置21の制御装置22として汎用PC、あるいは汎用EWSからなる汎用コンピュータ装置を使用し、これらの制御装置22とBOST装置21とを、一般的な通信形式であるUSB、RS232C、IEEE1394、GPIB、LAN等の通信回線23を介して接続している。ここで、BOST装置21側のインターフェイスとしては、各通信形式毎に通信カード24を設け、複数の通信カード24を共有して装着可能なスロットをBOST装置21に1つまたは複数設け、かつ、BOST装置21の専用バス形式に変換する通信形式変換モジュール25を備えている。

#### 【0006】

また、BOST装置21に設けられているBOSTボード26は、ADC/DAC測定部27、測定データメモリ部28、解析部29、制御部30、電源部31から構成されている。ここで、ADC/DAC測定部27は、デジタル試験信号を発生してこのデジタル試験信号を被測定デバイスである半導体集積回路のDA変換回路に供給するデータ回路と、このデータ回路からのデジタル試験信号をアナログ試験信号に変換して被測定デバイスのAD変換回路に供給する試験用DA変換回路（Digital to Analog Converter（DAC））と、被測定デバイスのDA変換回路のアナログ試験出力をデジタル試験出力に変換する試験用AD変換回路（Analog to Digital Converter（ADC））とから構成されている。測定データメモリ部28は、被測定デバイスのAD変換回路からのデジタル試験出力と、試験用AD変換回路のデジタル試験出力とを記憶する。解析部29は、測定データメモリ28に記憶された各デジタル試験出力を解析し、解析結果を制御装置22である汎用コンピュータ装置22に与える。

#### 【0007】

## 【特許文献1】

特開 2002-236150号公報

## 【0008】

## 【発明が解決しようとする課題】

しかしながら、上記従来構成の半導体集積回路の試験装置では、デバイス測定装置としてのBOST装置21に、ADC/DAC測定部27や解析部29だけでなく、通信インターフェイスカード24や通信形式変換モジュール25、制御部30なども組み込んでいるため、BOST装置21のサイズが大きくなり、外付け部品が多くてスペースの少ないテストボードとしては不向きであり、また、被測定デバイスの近傍に複数のBOST装置21を置くことが困難となるという課題があった。

## 【0009】

近い将来、さらに多くの種類の回路を混載したシステムLSIなどの半導体集積回路を試験する必要がある中で高精度化・低コスト化が望まれるが、数多くの半導体集積回路を精度良く試験するためには、各半導体集積回路に適した測定部を持ったBOST装置21を複数枚、被測定デバイスとしての半導体集積回路の近傍に配置する必要がある。

## 【0010】

本発明は、上記のような従来の課題を解決するものであり、被測定デバイス近傍にBOSTボードなどからなる複数のデバイス測定装置を置くことができ、システムLSIなどの半導体集積回路に多数混載された回路の高精度な試験を行うことができる半導体集積回路の試験装置を提供することを目的とする。

## 【0011】

## 【課題を解決するための手段】

本発明の請求項1記載の半導体集積回路の試験装置は、半導体集積回路の製造工程における良否検査、あるいは機能・性能評価を目的として、半導体集積回路からなる被測定デバイスに対して信号のやりとりを行う測定部と、プログラマブルなデバイスを用いて前記測定部からの情報を解析する解析部とで構成されるデバイス測定装置と、前記デバイス測定装置とは別ボードで構成され、前記デバイ



ス測定装置と接続されて前記デバイス測定装置を制御し、かつ汎用コンピュータ装置と通信を行う制御・通信カードとを備えたことを特徴とする。

【0012】

この構成によれば、テスターメーカーが提供する高額な試験装置は用いずに、安価な汎用コンピュータ装置、制御・通信カード、デバイス測定装置を使用することで低コスト化が図れる。

【0013】

請求項2記載の発明は、請求項1記載の半導体集積回路の試験装置において、制御・通信カードは、デバイス測定装置からのデータの取り込みを行うデータ入力部と、前記デバイス測定装置へ制御信号を与える制御信号出力部と、汎用コンピュータ装置と信号のやり取りを行うインターフェイス部とを有していることを特徴とする。

【0014】

この構成によれば、制御・通信カードにデータ入力部、制御信号出力部およびインターフェイス部を設けたことで、デバイス測定装置に搭載する部品を最小限にして小型化することができ、また、汎用コンピュータ装置によって複数のデバイス測定装置を容易に扱うことが可能となる。

【0015】

請求項3記載の発明は、請求項1または2に記載の半導体集積回路の試験装置において、デバイス測定装置はプログラム書き込み口を有し、汎用コンピュータ装置からデバイス測定装置のプログラマブルなデバイスにプログラムを書き込み可能に構成したことを特徴とする。

【0016】

この構成によれば、汎用コンピュータ装置から試験に用いるプログラムをいつでも容易にデバイス測定装置へダウンロードでき、ROM入れ替えなどのハードの変更も一切ないので、デバイス測定装置のデバッグ時に効率的である。また、デバイス測定装置上にあるプログラマブルなデバイスの中身を書き換えることにより、ハード的な変更は一切なしに多品種の被測定デバイスを測定することが可能となり、試験装置を汎用的に用いることができる。

## 【0017】

請求項4記載の発明のデバイス測定装置は、請求項1～3の何れかに記載の半導体集積回路の試験装置において、デバイス測定装置の入出力信号および内部信号を観測する観測用端子を、前記デバイス測定装置もしくは制御・通信カードに備えたことを特徴とする。

## 【0018】

この構成によれば、観測用端子を用いることで、デバイス測定装置からどんな信号が入出力されているのか、また、内部でどういう動作をしているのかを確認することができる。

## 【0019】

請求項5記載の発明は、請求項1～4の何れかに記載の半導体集積回路の試験装置において、デバイス測定装置に、被測定デバイス装着用のソケットが搭載された基板とケーブルを介して接続するためのコネクタと、前記基板に直接差し込むためのコネクタとが設けられていることを特徴とする。

## 【0020】

この構成によれば、被測定デバイスを装着した基板に適した接続ができる。

請求項6記載の発明は、請求項1～5の何れかに記載の半導体集積回路の試験装置において、デバイス測定装置は、被測定デバイスに設けられた複数の回路からの信号を入力する複数の入力端子と、これら複数の入力端子からの複数の入力信号を選択して切り換えて処理する入力信号選択手段とを備えたことを特徴とする。

## 【0021】

この構成によれば、被測定デバイスに混載された複数の回路からの信号を選択して切り換えながら処理することが可能であり、複数の回路の試験を行う場合にも対応できる。

## 【0022】

請求項7記載の発明は、請求項1～6の何れかに記載の半導体集積回路の試験装置において、制御・通信カードは、デバイス測定装置にこのデバイス測定装置を診断する診断用信号を与えるとともに前記デバイス測定装置からの診断結果デ

ータを汎用コンピュータ装置に転送するデバイス測定装置診断手段を備えたことを特徴とする。

#### 【0023】

この構成によれば、制御・通信カードはデバイス測定装置に診断用の信号を与え、デバイス測定装置は、制御・通信カードから与えられた診断用信号を基に自己診断を行い、結果を制御・通信カードに返す。このようにして、デバイス測定装置の自己診断を行うことができる。

#### 【0024】

請求項 8 記載の発明は、請求項 1 ～ 7 の何れかに記載の半導体集積回路の試験装置において、デバイス測定装置が複数個設けられ、1 つまたは複数のデバイス測定装置を用いて試験できるように構成されていることを特徴とする。

#### 【0025】

この構成によれば、被測定デバイスに含まれる特性の異なった複数の回路（例えば、ADC 回路、DAC 回路など）を試験する場合、各回路の特性に適した測定部を持つデバイス測定装置にて試験を行うことが可能である。また、デバイス測定装置は小型であるため、被測定デバイス周辺に複数個配置することができる。

#### 【0026】

請求項 9 記載の発明は、請求項 3 に記載の半導体集積回路の試験装置において、デバイス測定装置のプログラマブルなデバイスが Flash-ROM であることを特徴とする。

#### 【0027】

請求項 10 記載の発明は、請求項 1 ～ 9 の何れかに記載の半導体集積回路の試験装置において、デバイス測定装置に、被測定デバイスを装着可能なソケットが搭載されていることを特徴とする。

#### 【0028】

この構成によれば、デバイス測定装置に直接被測定デバイスを装着して測定することも可能となる。

#### 【0029】



### 【発明の実施の形態】

以下、本発明の実施の形態を、図1を参照しながら説明する。

図1は本発明の実施の形態に係る半導体集積回路の試験装置の構成を概略的に示す図である。図1に示すように、半導体集積回路の試験装置は、デバイス測定装置としてのBOSTボード1と、BOSTボード1とは別ボードで構成され、デバイス測定装置としてのBOSTボード1と接続されてこのBOSTボード1を制御し、かつ汎用PC/EWSからなる汎用コンピュータ装置2に対して通信を行う制御・通信カード3とを備えている。また、BOSTボード1と制御・通信カード3とは専用線13によって接続されており、この専用線13ではデジタル信号のみの通信が行われる。なお、14は汎用コンピュータ装置2と制御・通信カード3とを接続する、USB、RS232C、IEEE1394、GPIB、LAN等の通信回線である。

#### 【0030】

デバイス測定装置としてのBOSTボード1は、被測定デバイス4である半導体集積回路の製造工程における良否検査、あるいは機能・性能評価を目的として、被測定デバイス4とアナログ信号やデジタル信号のやりとりを行う測定部5と、プログラマブルなデバイスを用いて測定部5からの情報を解析する解析部6とで構成されている。なお、BOSTボード1は、被測定デバイス4の特性の異なる複数の回路を測定するために、複数枚用いることができるようになっている。

#### 【0031】

汎用コンピュータ装置2は、制御・通信カード3を介してBOSTボード1に試験開始の信号、および最低限必要な制御信号を送り、BOSTボード1はデバイス試験のためのデジタル／アナログ信号を被測定デバイスに与える。BOSTボード1は、被測定デバイス4から返ってくるアナログ／デジタル信号が正常な応答信号であるか否かを判断し、制御・通信カード3を介して汎用コンピュータ装置2にPASS／FAIL信号を返す。また、BOSTボード1と制御・通信カード3とはデジタル信号のみの通信を行う専用線13によって接続されている。

#### 【0032】



制御・通信カード3は、BOSTボード1からのデータの取り込みを行うデータ入力部7と、BOSTボード1への制御信号を与える制御信号出力部8と、汎用コンピュータ装置2との信号のやり取りを行うインターフェイス部（BUS\_I/F部）9と、BOSTボード1を診断するデータを入出力する診断用データ入出力部10とから構成されている。

#### 【0033】

また、BOSTボード1は、被測定デバイス4を測定するためのプログラムが書き込まれたFlash-ROMを有するとともに、前記プログラムなどを前記Flash-ROMに書き込むプログラム書き込み口1aが設けられており、汎用コンピュータ装置2からBOSTボード1のFlash-ROMにプログラムの書き込みができるように構成されている。

#### 【0034】

また、BOSTボード1は、被測定デバイス4の詳細評価やBOSTボード1のFlash-ROMの評価等のために、BOSTボード1の入出力信号および内部信号を観測する観測用端子1bを備えている。なお、観測用端子1bを制御・通信カード7上に備えて、専用線を介してBOSTボード1に出力するように構成してもよい。

#### 【0035】

さらに、BOSTボード1には、被測定デバイス4装着用のソケット11が搭載された基板12と汎用のケーブルによって接続するためのコネクタ1cと、被測定デバイス4装着用のソケット11が搭載された基板12に直接差し込むためのコネクタ1dとが備えられ、これらのコネクタ1c、1dには、被測定デバイス4に混載された複数の回路からの信号を入力する複数の入力端子が設けられている。そして、BOSTボード1は、これらのコネクタ1c、1dに設けられた複数の入力端子からの複数の入力信号を選択して切り換えて処理する入力信号選択機能を備えている。

#### 【0036】

制御・通信カード3は、BOSTボード1に診断用信号を与え、BOSTボード1からの診断結果データを汎用コンピュータ装置2に転送するデバイス測定装

置診断機能を備えている。また、図示しないが、BOSTボード1または制御・通信カード3には、BOSTボード1および制御・通信カード3にクロックを供給するクロック生成部を搭載している。

#### 【0037】

以上のように構成されたこの半導体集積回路の試験装置について、その一動作例を以下に説明する。

汎用コンピュータ装置2からの試験開始・制御信号（試験開始の信号、および最低限必要な制御信号）aが制御・通信カード3のBUS\_I/F部9、制御信号出力部8を介してBOSTボード1に入力される。信号aを受けたBOSTボード1は被測定デバイス4へ試験用信号（アナログまたはデジタル信号、以下、アナログ／デジタル信号と記載する）bを出力し、被測定デバイス4からの応答信号（アナログ／デジタル信号）cがBOSTボード1の測定部5に入力される。BOSTボード1の解析部6は、応答信号cが予め決められた精度範囲に収まっているかを解析し、すなわち、正常な応答信号であるか否かを判断し、その結果としてのPASS／FAIL信号dを制御・通信カード3のデータ入力部7、BUS\_I/F部9を介して汎用コンピュータ装置2に返す。

#### 【0038】

デバッグ時などで、BOSTボード1の解析部6を書き換えたいときは、汎用コンピュータ装置2からプログラム書き換え信号eをBOSTボード1の解析部6に与え、プログラムの書き換えを行う。

#### 【0039】

また、この実施の形態においては、定期校正がかけられてBOSTボード1を診断（DIAG）するようになっており、BOSTボード1を診断する際には、制御・通信カード3の診断用データ入出力部8がBOSTボード1に診断用の信号を与え、BOSTボード1は、Flash-ROMに書き込まれた診断用プログラム、および制御・通信カード3から与えられた診断用信号を基に自己診断を行い、その結果を制御・通信カード3に返す。このように、制御・通信カード3とBOSTボード1との間で診断用信号のやりとりを行い、診断を行う。このため、従来技術ではアナログ試験装置の自己診断にDA変換回路とAD変換回路の

両方を必要としていたが、本手法では、自己診断をBOSTボード1から制御・通信カード3に返すだけなので、DA変換回路、もしくはAD変換回路の何れかがあればよい。

#### 【0040】

この構成によれば、半導体集積回路の試験装置を、安価な汎用コンピュータ装置2と、制御・通信カード3と、測定部5と解析部6とを有するデバイス測定装置としてのBOSTボード1とで構成したことにより、テスターメーカーが提供する高額な試験装置は用いずに、低コスト化を図ることができる。また、デバイス測定装置であるBOSTボード1の構成としては、プログラマブルなデバイスであるFlash-ROM(Flash-ROM以外のプログラマブルなデバイスを用いてもよい)からなる解析部6と測定部5とが最低限あればよいので、小型化、および低コスト化が可能である。また、BOSTボード1と制御・通信カード3とはデジタル信号のみの通信であり専用線13によって接続されているので、BOSTボード1は被測定デバイス4の近傍に場所の制約を受けずに自由に移動できて、ノイズ低減のためにアナログ信号の通信距離を最短にでき、高精度化が図れる。

#### 【0041】

また、制御・通信カード3を、BOSTボード1からのデータの取り込みを行うデータ入力部7と、BOSTボード1への制御信号を与える制御信号出力部8と、汎用コンピュータ装置2との信号のやり取りを行うインターフェイス部(BUS\_I/F部)9と、BOSTボード1を診断するデータを入出力する診断用データ入出力部10とから構成したことで、BOSTボード1に搭載する部品を最小限にして小型化することができ、また、汎用コンピュータ装置2によって複数のBOSTボード1を容易に扱うことが可能である。

#### 【0042】

また、汎用コンピュータ装置2からBOSTボード1のFlash-ROMにプログラムの書き込みができるように構成されているので、試験に用いる汎用コンピュータ装置2からプログラムをいつでも容易にダウンロードでき、ROM入れ替えなどのハードの変更も一切ないので、BOSTボード1のデバッグ時に効

率的である。また、BOSTボード1の上にあるFlash-ROMなどのプログラマブルなデバイスは何回でも書き換え可能であり、試験に必要なデータは全て記憶されている。従って、プログラマブルなデバイスの中身を書き換えることにより、ハード的な変更は一切なしに多品種の被測定デバイス4を測定することが可能であり、提案する試験装置を汎用的に用いることができる。

#### 【0043】

また、BOSTボード1に、BOSTボード1の入出力信号および内部信号を観測する観測用端子1bを備えたので、この観測用端子1bを用いることでデバイス測定装置としてのBOSTボード1が内部でどういう動作をしているのかを確認できる。また、Flash-ROMなどのプログラマブルなデバイスの中身を書き換えることで、観測用端子1bから出力する信号を決定することができるため、観測用端子1bを最小限に抑えることができる。

#### 【0044】

また、BOSTボード1には、基板12と汎用のケーブルによって接続するためのコネクタ1cと、基板12に直接差し込むためのコネクタ1dとが備えられているので、被測定デバイス4とBOSTボード1との接続方法が選択可能となり、BOSTボード1は被測定デバイス4が搭載された基板12の形状に適した接続ができる。

#### 【0045】

また、BOSTボード1は、被測定デバイス4からの複数の入力信号を処理できる入力信号選択機能を備えているので、被測定デバイス4に混載された複数の回路からの信号をプログラマブルなデバイスからの制御で切り換えることが可能であり、1枚のBOSTボード1で複数の回路の試験を行う場合に効果がある。

#### 【0046】

また、デバイス測定装置としてのBOSTボード1を複数個用いて試験できるので、被測定デバイス4に含まれる特性の異なった複数の回路（ADC回路、DAC回路など）を試験する場合に、各回路の特性に適した測定部5を持つBOSTボード1にて試験を行うことが可能であり、BOSTボード1は小型であるため、被測定デバイス4の周辺に複数個配置することができる。なお、上記実施の



形態においては、複数の B O S T ボード 1 の制御を 1 枚の制御・通信カード 3 で行う場合を述べたが、これに限るものではなく、複数枚の制御・通信カードで制御してもよい。

#### 【0047】

また、上記実施の形態においては、被測定デバイス 4 を基板 1 2 に取り付けたソケット 1 1 に装着させる場合を述べたが、これに限るものではなく、B O S T ボード 1 自体に、被測定デバイス 4 を装着可能なソケットを搭載させてもよく、この場合には、ノイズ低減のためにアナログ信号の通信距離をさらに短くすることができて、高精度化が図れる。

#### 【0048】

##### 【発明の効果】

以上のように本発明によれば、B O S T ボードなどのデバイス測定装置に必要最低限の機能（解析部と測定部）を持たせ、その他の機能を制御・通信カードに持たせることで、デバイス測定装置の小型化が図ることができ、被測定デバイスに多数混載される回路を試験する際、各回路の特性に適した測定部を持った小型のデバイス測定装置を複数個、場所の制約を受けずに被測定デバイスの近傍に配置し試験することができる。また、被測定デバイスと全てのデバイス測定装置に関して、アナログ信号の配線距離を最短にできるため、高精度な試験が可能となる。

#### 【0049】

一方、デバイス測定装置の制御に汎用 P C / E W S などの汎用コンピュータ装置を使用することで、テスターメーカーが提供する半導体集積回路の試験装置（ミックスドシグナルテスター）に比べて安価にすることができ、また、汎用コンピュータ装置からデバイス測定装置の解析部のプログラムを容易に書き換えることが可能なため、デバッグ性、および汎用性が向上する。

##### 【図面の簡単な説明】

#### 【図 1】

本発明の半導体集積回路の試験装置を概略的に示す図

#### 【図 2】

従来の半導体集積回路の試験装置を概略的に示す図

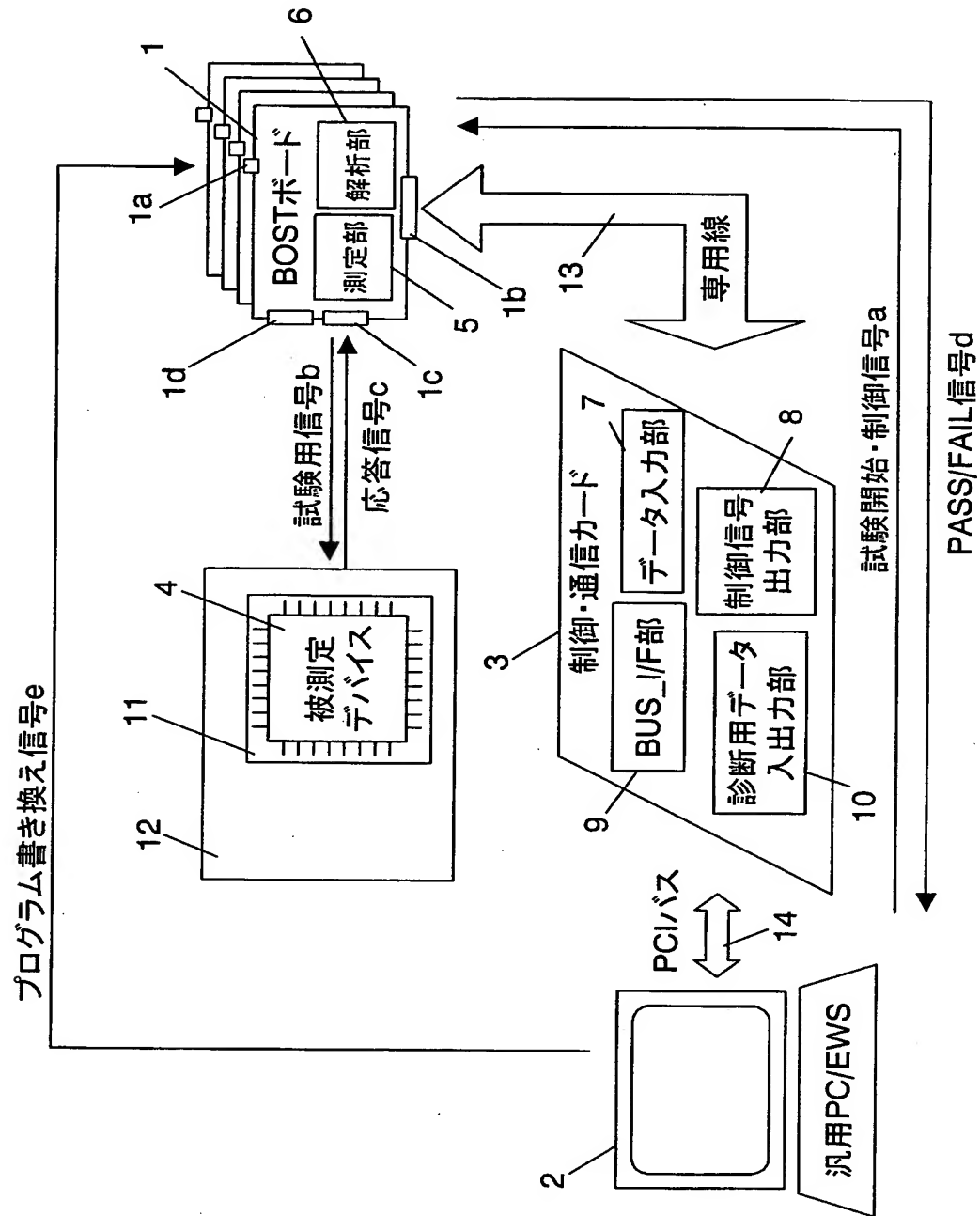
【符号の説明】

- 1        B O S T ボード（デバイス測定装置）
- 1 a     プログラム書き込み口
- 1 b     観測用端子
- 1 c、1 d    コネクタ
- 2        汎用コンピュータ装置
- 3        制御・通信カード
- 4        被測定デバイス（半導体集積回路）
- 5        測定部
- 6        解析部
- 7        データ入力部
- 8        制御信号出力部
- 9        インターフェイス部（B U S \_ I / F 部）
- 1 0     診断用データ入出力部
- 1 1     ソケット
- 1 2     基板
- 1 3     専用線

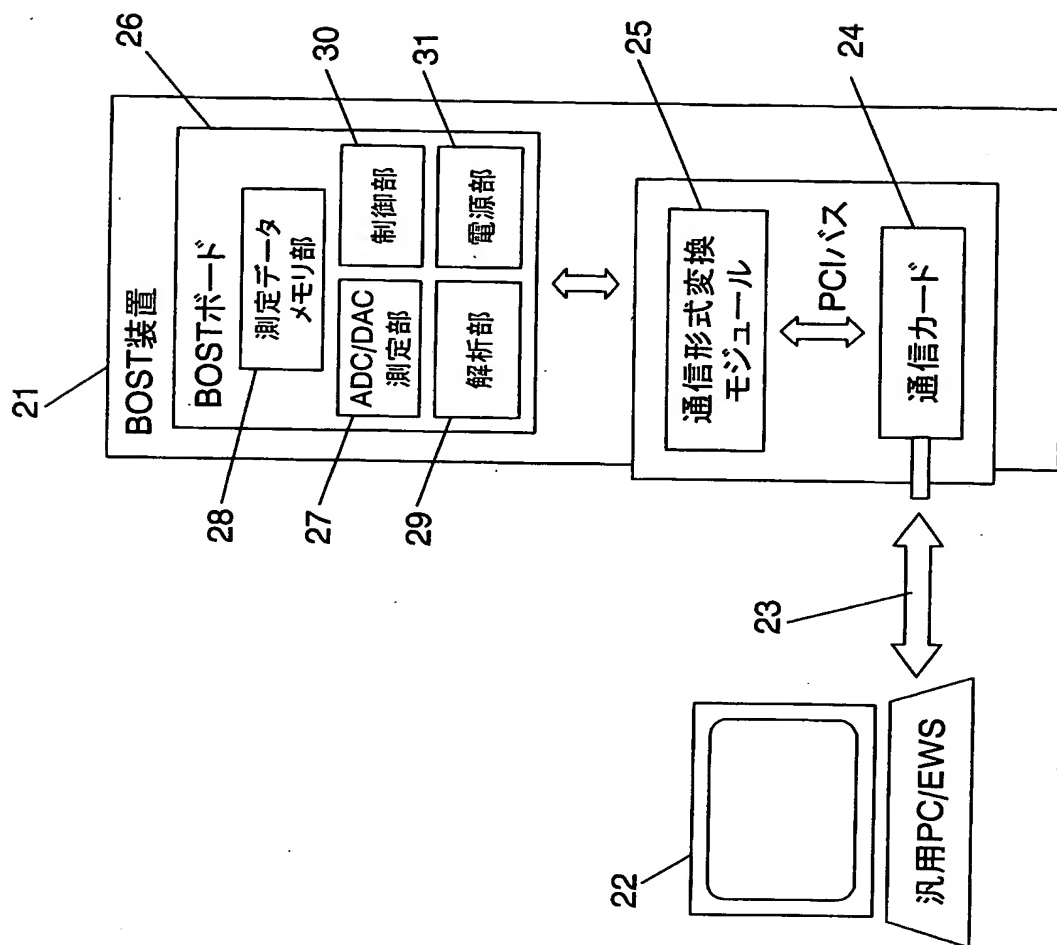
【書類名】

図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 被測定デバイス近傍にBOSTボードなどからなる複数のデバイス測定装置を置くことができ、半導体集積回路に多数混載された回路の高精度な試験を行うことができる半導体集積回路の試験装置を提供する。

【解決手段】 測定部5と解析部6とで構成されるBOSTボード1と、このBOSTボード1とは別ボードで構成され、BOSTボード1と接続されてこのBOSTボード1を制御し、かつ汎用コンピュータ装置2と通信を行う制御・通信カード3とを備える。この構成により、テスターメーカーが提供する高額な試験装置は用いずに、低コスト化が図れる。

【選択図】 図1

特願 2 0 0 3 - 1 7 2 6 9 8

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社